

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年10月11日

出願番号 Application Number: 特願2002-299417

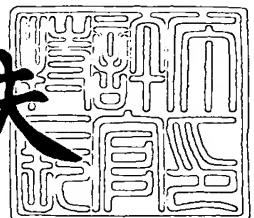
[ST. 10/C]: [JP 2002-299417]

出願人 Applicant(s): ソニー株式会社

2003年 8月25日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 0290553902  
【提出日】 平成14年10月11日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/768  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 堀越 浩  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 濑川 雄司  
【発明者】  
【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社  
内  
【氏名】 野上 育  
【特許出願人】  
【識別番号】 000002185  
【氏名又は名称】 ソニー株式会社  
【代理人】  
【識別番号】 100094053  
【弁理士】  
【氏名又は名称】 佐藤 隆久  
【手数料の表示】  
【予納台帳番号】 014890  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】

金属配線を有する半導体装置の製造方法であって、  
半導体基板に形成された第1絶縁膜の上層に金属配線を形成する工程と、  
前記金属配線の上層に前記金属配線の構成元素の拡散を防止するバリア層を形  
成する工程と、  
前記バリア層の上層に第2絶縁膜を形成する工程と  
を有し、  
前記金属配線を形成する工程において、前記バリア層を形成する工程において  
前記金属配線に与えられるダメージを低減する添加物を前記金属配線に含有させ  
て形成する  
半導体装置の製造方法。

【請求項 2】

前記バリア層を形成する工程においては、無電解メッキ工程により行う  
請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記無電解メッキ工程は、触媒メッキ工程および洗浄工程を含む  
請求項2に記載の半導体装置の製造方法。

【請求項 4】

前記バリア層を形成する工程において前記金属配線に与えられるダメージを低  
減する添加物は、前記触媒メッキ工程においてメッキされる触媒よりもイオン化  
傾向が小さい元素を含む

請求項3に記載の半導体装置の製造方法。

【請求項 5】

前記金属配線を形成する工程が、金属配線のシード層を形成する工程と、シ  
ード層と一体に金属配線を形成する工程とを含み、  
前記金属配線に与えられるダメージを低減する添加物を前記シード層に混合さ

せて形成する

請求項 1 に記載の半導体装置の製造方法。

**【請求項 6】**

前記金属配線を形成する工程が、金属配線のシード層を形成する工程と、シード層と一体に金属配線を形成する工程とを含み、

前記金属配線に与えられるダメージを低減する添加物を前記シード層中に積層させて形成する

請求項 1 に記載の半導体装置の製造方法。

**【請求項 7】**

前記金属配線を形成する工程の後、前記バリア層を形成する工程において前記金属配線に与えられるダメージを低減する添加物が前記金属配線の粒界に偏析するように熱処理を行う工程をさらに有する

請求項 1 に記載の半導体装置の製造方法。

**【請求項 8】**

前記金属配線を形成する工程が、金属配線のシード層を形成する工程と、シード層と一体に金属配線を形成する工程とを含み、

前記金属配線に与えられるダメージを低減する添加物を、前記シード層と一体に金属配線を形成する工程において前記金属配線に混合させる

請求項 1 に記載の半導体装置の製造方法。

**【請求項 9】**

前記金属配線を形成する工程の前に、前記第 1 絶縁膜に配線用溝を形成する工程を有し、

前記金属配線を形成する工程においては、前記配線用溝を配線材料で埋め込み形成する

請求項 1 に記載の半導体装置の製造方法。

**【請求項 10】**

前記金属配線を形成する工程の前に、前記第 1 絶縁膜に配線用溝および前記配線用溝に連通するコンタクトホールを形成する工程を有し、

前記金属配線を形成する工程においては、前記配線用溝および前記コンタクト

ホールを配線材料で埋め込み形成する

請求項1に記載の半導体装置の製造方法。

**【請求項11】**

前記金属配線を形成する工程においては、銅(Cu)を含む金属配線を形成する

請求項1に記載の半導体装置の製造方法。

**【請求項12】**

前記バリア層を形成する工程においては、コバルト(Co)を含むバリア層を形成する

請求項1に記載の半導体装置の製造方法。

**【請求項13】**

前記バリア層を形成する工程においては、コバルト(Co)-タングステン(W)-リン(P)を含むバリア層を形成する

請求項12に記載の半導体装置の製造方法。

**【請求項14】**

前記触媒メッキ工程においてメッキされる触媒がパラジウム(Pd)であり、

前記触媒メッキ工程においてメッキされる触媒よりもイオン化傾向が小さい元素が、少なくともイリジウム(Ir)、白金(Plt)、金(Au)のいずれかを含む

請求項4に記載の半導体装置の製造方法。

**【請求項15】**

金属配線を有する半導体装置であって、

半導体基板に形成された第1絶縁膜の上層に形成された金属配線と、

前記金属配線の上層に形成され、前記金属配線の構成元素の拡散を防止するバリア層と、

前記バリア層の上層に形成された第2絶縁膜と

を有し、

前記金属配線は、前記バリア層を形成する工程において前記金属配線に与えられるダメージを低減する添加物を含有している

半導体装置。

### 【発明の詳細な説明】

#### 【0001】

##### 【発明の属する技術分野】

本発明は半導体装置の製造方法および半導体装置に関し、特に、銅（Cu）配線を有する半導体装置の製造方法および半導体装置に関する。

#### 【0002】

##### 【従来の技術】

L S Iなどの半導体装置においては、デザインルールの縮小化に伴い、縮小された配線における配線容量の低減が必要となってきている。このため、配線材料には銅（Cu）の適用が広く行われている。Cu配線を適用すると、配線容量の低減はもとより、配線の信頼性も向上することが知られている。

#### 【0003】

上記のCuを用いて埋め込み金属配線を構成した半導体装置とその製造方法について説明する。

図7はCuを用いて埋め込み金属配線を構成した半導体装置の断面図である。不図示のトランジスタなどの半導体素子が形成された半導体基板100上を被覆して、例えば酸化シリコンなどの絶縁性材料からなる層間絶縁膜101が形成されており、シングルダマシン法あるいはデュアルダマシン法による配線用溝（101a, 101b）が層間絶縁膜11に形成されている。デュアルダマシン法の場合は、配線用溝の底面にさらに半導体基板10などに達するコントクトホールが設けられている構成である。

配線用溝（101a, 101b）の内壁を被覆するように、例えばTa、TaN、TiN、W、WNなどからなるバリア層102が形成されており、その内側に配線用溝（101a, 101b）を埋め込むようにCuからなる埋め込み金属配線（103a, 103b）が形成されている。

上記の配線用溝（101a, 101b）に埋め込まれた埋め込み金属配線（103a, 103b）を被覆して全面に窒化シリコンからなるバリア絶縁膜104が形成されており、その上層に例えば酸化シリコンなどの絶縁性材料からなる上

層絶縁膜105が形成されている。

#### 【0004】

次に、上記のCuを用いて埋め込み金属配線を構成した半導体装置の製造方法について説明する。

まず、図8(a)に示すように、不図示のトランジスタなどの半導体素子が形成された半導体基板100上を被覆して、例えばCVD(Chemical Vapour Deposition)法により、酸化シリコンなどの絶縁性材料を堆積させ、層間絶縁膜101を形成し、フォトリソグラフィー工程およびRIE(反応性イオンエッティング)などのエッティング処理などにより、配線用溝(101a, 101b)を層間絶縁膜11に形成する。

#### 【0005】

次に、図8(b)に示すように、例えばスパッタリング法あるいはCVD法によりTa、Ta<sub>N</sub>、Ti<sub>N</sub>、W、WNなどを堆積させ、バリア層102を形成する。

次に、大気暴露することなく、上記のバリア層102の形成と連続的に、バリア層102を被覆して全面にCuのシード層を形成する。

次に、電解メッキ処理によりCuのシード層を成長させるようにして、Cuの埋め込み導電層103を形成する。

#### 【0006】

次に、図9(a)に示すように、例えばCMP(Chemical Mechanical Polishing)法あるいは電解研磨処理などにより埋め込み導電層103の上面から研磨し、配線用溝(101a, 101b)の外部におけるCuを除去して、配線用溝(101a, 101b)に埋め込まれた埋め込み金属配線(103a, 103b)とする。このとき、バリア層102についても配線用溝(101a, 101b)の外部の部分は除去される。

#### 【0007】

次に、図9(b)に示すように、例えばスパッタリング法あるいはCVD法により窒化シリコンを堆積させ、バリア絶縁膜104を形成する。

次に、バリア絶縁膜104の上層に酸化シリコンなどの絶縁性材料からなる上

えばCVD法により酸化シリコンなどを形成する。

々金属配線を構成した半導体装置を製

Cuの酸化シリコン絶縁膜中への拡  
SiCなどのバリア絶縁膜を必要と  
配線容量を上昇させてしまう、(2)  
トロマイグレーション(EM)耐性が

こ、Cu配線上のみにCu拡散防止材  
メタル材料であるため、そのキャップ  
れている。

度のリセスを形成し、その上にTiN  
成膜し、CMP法にて配線部分に成膜  
D法によりCu上に選択的に成膜する

Cu配線上に成膜する方法も一つの方法  
の技術と比較して、簡単な装置で成膜  
を必要としないこと、かつ、材料コスト  
のメリットである。

Co系材料の無電解メッキ処理に含  
むなどの課題がある。

は、無電解メッキされる下地において  
シチすることにより解決されつつある

(例えば非特許文献1参照)。

### 【0012】

#### 【非特許文献1】

第61回半導体集積回路シンポジウム予講集 (pp13~18, 2001)

### 【0013】

#### 【発明が解決しようとする課題】

しかしながら、一方、触媒プロセスにおけるCuへのダメージに関しては、以下に示すように、まだ解決されていない。

触媒プロセスを用いる無電解メッキでは、その触媒にはパラジウム (Pd) が広く用いられている。触媒プロセスとは、下地であるCuとPdを置換する置換メッキであり、下地であるCuの一部をエッチングすることは避けられない。

図10は上記触媒プロセス（置換メッキ）における問題点を説明するための模式図である。

下地であるCuは結晶粒からなっており、その境界は結晶粒界103cと呼ばれている。触媒プロセス（置換メッキ）において、結合の弱い結晶粒界103cへの侵食は、Cuの結晶よりも顕著であり、酷い場合には、Cuの表面だけではなく、内部まで侵食する時がある。その侵食により、配線を形成するCuには侵食穴、すなわち、配線中のボイドが形成され、配線の実効的な断面積を減少させ、エレクトロマイグレーション (EM) などの信頼性を著しく劣化させてしまう。

さらに、Pd源として広く使用されている硫酸パラジウムや塩化パラジウムなどであり、これらの薬液のpHは酸性側に大きいことからCuをイオン化しやすい領域にあり、その侵食を加速させる要因となっている。

### 【0014】

本発明は上記の状況に鑑みてなされたものであり、従って本発明の目的は、Cuなどの配線を有する半導体装置の製造方法であって、Co系材料などを無電解メッキ処理するときに行われる触媒プロセスにおける配線へのダメージを抑制することができる半導体装置の製造方法と、そのような方法により製造された半導

体装置を提供することである。

### 【0015】

#### 【課題を解決するための手段】

上記の目的を達成するため、本発明の半導体装置の製造方法は、金属配線を有する半導体装置の製造方法であって、半導体基板に形成された第1絶縁膜の上層に金属配線を形成する工程と、前記金属配線の上層に前記金属配線の構成元素の拡散を防止するバリア層を形成する工程と、前記バリア層の上層に第2絶縁膜を形成する工程とを有し、前記金属配線を形成する工程において、前記バリア層を形成する工程において前記金属配線に与えられるダメージを低減する添加物を前記金属配線に含有させて形成する。

### 【0016】

上記の本発明の半導体装置の製造方法は、金属配線を有する半導体装置の製造方法であって、半導体基板に形成された第1絶縁膜の上層に金属配線を形成し、金属配線の上層に金属配線の構成元素の拡散を防止するバリア層を形成し、バリア層の上層に第2絶縁膜を形成する。

ここで、金属配線を形成する工程において、バリア層を形成するときに金属配線に与えられるダメージを低減する添加物を金属配線に含有させて形成しており、バリア層を形成するときに金属配線に与えられるダメージが低減される。

### 【0017】

上記の目的を達成するため、本発明の半導体装置は、金属配線を有する半導体装置であって、半導体基板に形成された第1絶縁膜の上層に形成された金属配線と、前記金属配線の上層に形成され、前記金属配線の構成元素の拡散を防止するバリア層と、前記バリア層の上層に形成された第2絶縁膜とを有し、前記金属配線は、前記バリア層を形成する工程において前記金属配線に与えられるダメージを低減する添加物を含有している。

### 【0018】

上記の本発明の半導体装置は、金属配線を有する半導体装置であって、半導体基板に形成された第1絶縁膜の上層に形成された金属配線と、金属配線の上層に形成されたバリア層と、バリア層の上層に形成された第2絶縁膜とを有する。

ここで、金属配線はバリア層を形成する工程において金属配線に与えられるダメージを低減する添加物を含有しており、その製造工程において、バリア層を形成するときに金属配線に与えられるダメージが低減された半導体装置である。

### 【0019】

#### 【発明の実施の形態】

以下に、本発明の実施の形態について、図面を参照して説明する。

半導体装置においてCu配線にダメージを与えることは、半導体装置の配線信頼性を損なうことになり、致命的欠陥となる。本実施形態に係る半導体装置の製造方法と、そのような製造方法で製造された半導体装置は、このCu配線ダメージを低減する方法を提供するものである。

### 【0020】

図1は、本実施形態に係るCuを用いて埋め込み金属配線を構成した半導体装置の断面図である。

不図示のトランジスタなどの半導体素子が形成された半導体基板10上を被覆して、例えば酸化シリコンなどの絶縁性材料からなる層間絶縁膜11が形成されており、シングルダマシン法あるいはデュアルダマシン法による配線用溝(11a, 11b)が層間絶縁膜11に形成されている。デュアルダマシン法の場合は、配線用溝の底面にさらに半導体基板10などに達するコンタクトホールが設けられている構成である。

配線用溝(11a, 11b)の内壁を被覆するように、例えばTa、TaN、TiN、W、WNなどからなる第1バリア層12が形成されており、その内側に配線用溝(11a, 11b)を埋め込むようにCuからなる埋め込み金属配線(13a, 13b)が形成されている。

上記の配線用溝(11a, 11b)に埋め込まれた埋め込み金属配線(13a, 13b)の上層に、Co-W-PなどのCo系材料からなる第2バリア層15が形成されており、その上層に例えば酸化シリコンなどの絶縁性材料からなる上層絶縁膜16が形成されている。

### 【0021】

ここで、上記の埋め込み金属配線(13a, 13b)は、第2バリア層15を

形成する工程において埋め込み金属配線に与えられるダメージを低減する添加物を含有していることを特徴としている。この添加物としては、第2バリア層15を形成する工程においてPdの触媒メッキが行われる場合、Pdよりもイオン化傾向が小さい元素である、イリジウム(Ir)、白金(Pt)、金(Au)などが含まれる。

このため、その製造工程において、バリア層を形成するときに金属配線に与えられるダメージが低減されている。

#### 【0022】

次に、上記の本実施形態に係るCuを用いて埋め込み金属配線を構成した半導体装置の製造方法について説明する。

図2～図6は上記の半導体装置の製造方法の製造工程を示す断面図である。

まず、図2(a)に示すように、不図示のトランジスタなどの半導体素子が形成された半導体基板10上を被覆して、例えばCVD法により、酸化シリコンなどの絶縁性材料を堆積させ、層間絶縁膜11を形成し、フォトリソグラフィー工程およびRIE(反応性イオンエッティング)などのエッティング処理などにより、配線用溝(11a, 11b)を層間絶縁膜11に形成する。

#### 【0023】

次に、図2(b)に示すように、例えばスパッタリング法あるいはCVD法によりTa、TaN、TiN、W、WNなどを堆積させ、第1バリア層12を形成する。

#### 【0024】

次に、図3(a)に示すように、例えばスパッタリング法あるいはCVD法により、第1バリア層12を被覆して全面にCuのシード層13sを形成する。この工程は、上記の第1バリア層12の形成と連続的に大気暴露することなく行う。

#### 【0025】

次に、図3(b)に示すように、例えば電解メッキ処理によりCuのシード層13sを成長させるようにして、Cuの埋め込み導電層13をCuのシード層13sと一体に形成する。

### 【0026】

ここで、Cuの埋め込み導電層13としては、後工程である第2バリア層15を形成する工程において、Cuの埋め込み導電層13から形成される埋め込み金属配線（13a, 13b）に与えられるダメージを低減する添加物を含有させて形成する。

この添加物としては、後述のように第2バリア層15を形成する工程においてPdの触媒メッキが行われる場合、Pdよりもイオン化傾向が小さい元素を用いることができ、例えばIr、Pt、Auなどが挙げられる。

### 【0027】

次に、図4（a）に示すように、例えばCMP法あるいは電解研磨処理などにより埋め込み導電層13の上面から研磨し、配線用溝（11a, 11b）の外部におけるCuを除去して、配線用溝（11a, 11b）に埋め込まれた埋め込み金属配線（13a, 13b）とする。このとき、第1バリア層12についても配線用溝（11a, 11b）の外部の部分は除去される。

### 【0028】

次に、無電解メッキ処理により、埋め込み金属配線（13a, 13b）の上層に、例えばCo-W-PなどのCo系材料からなる埋め込み金属配線（13a, 13b）の構成元素の拡散を防止する第2バリア層15を形成する。

この工程は図4（b）～図6（b）に示す複数の工程からなり、この各工程について図4（b）～図6（b）を参照して以下に説明する。

### 【0029】

CMP法または電解研磨処理による埋め込み金属配線（13a, 13b）を形成した時点でウエハは研磨剤にて汚染されているので、図4（b）に示すように、これを除去するようにウエハの表面および裏面を洗浄する第1洗浄W1を行う。

第1洗浄W1は、後工程における第2バリア層形成の選択性を得るためにキーポイントとなり、フィールド上のメタルを不純物測定装置にて検出限界以下（ $1 \times 10^9$  atom/cm<sup>2</sup>以下）にすることを一つの目的としている。

さらに、上記の第1洗浄W1においては、埋め込み金属配線（13a, 13b

) 上の不純物除去も同時に行う。

本工程で使用される薬液の代表例としては、H F、キレート剤などが挙げられ、さらに除去性をあげるため、ブラシ洗浄や超音波洗浄の併用も有効である。

### 【0030】

また、薬液で除去しにくいCuからなる埋め込み金属配線（13a, 13b）の表面上に形成されるCu保護膜（例えば、BTA（ベンゾトリアゾール）などを含んだ研磨剤で研磨するとCuとBTAの化合物が形成されるが、非常に強固な結合を有しているため、標準的な洗浄液では除去できない）を除去するための工程を追加することもある。

Cu保護膜の除去方法の例を以下に示す。基本的には物理的に除去する方法である。一つは、イオン照射によるスパッタリングであり、Ar、Ne、Krなどの不活性ガスをプラズマ化し、ウエハ表面の5nm以下のエッチングを行う方法である。もう一つは、陰極電解法があり、電解液中にウエハ側を陰極として設置し、電圧を印加する方法である。電解液の電解により、陰極側（ウエハ側）から水素（H）が発生し、その水素の脱離により、Cu保護膜がリフトオフされるメカニズムである。

これらのCu保護膜除去工程は、単独でCMP法あるいは電解研磨後の洗浄として適用してもよいが、CMP法あるいは電解研磨後の洗浄（薬液洗浄）を行った後、Cu保護膜除去を行い、その後に再度薬液洗浄を行う方法が最も好ましい。

### 【0031】

次に、図5（a）に示すように、Cuからなる埋め込み金属配線（13a, 13b）の表面に対して触媒メッキ処理を行う。埋め込み金属配線（13a, 13b）の表層部分が触媒14により置換される。

例えば、触媒材料としてはパラジウム（Pd）を用いる。このPd源としては、硫酸パラジウム、塩化パラジウムなどが広く用いられている。

### 【0032】

次に、図5（b）に示すように、フィールド上に存在するPdを除去するための第2洗浄W2を行う。

洗浄は純水で十分ではあるが、より選択性を向上させるために、キレート剤などで洗浄してもよい。また、ブラシ洗浄や超音波洗浄との併用も有効である。

#### 【0033】

次に、図6（a）に示すように、Pdからなる触媒14で置換メッキされた埋め込み金属配線（13a, 13b）の表面に、無電解メッキ処理により、例えばCo-W-Pからなる第2バリア層15を形成する。この工程が、図4（b）～図6（b）に示す工程の中の主たる工程である。

メッキ液の主体は、硫酸（塩化）コバルト、次亜硝酸ナトリウム、クエン酸ナトリウム（酒石酸ナトリウム）、硫酸アンモニウム、タンゲステン酸ナトリウムなどである。これら薬品には、アルカリ金属であるナトリウムが混入されていると半導体装置に適用するには難しいので、アルカリ金属であるナトリウムをアンモニア系で置き換えた薬品を使用することが望ましい。

#### 【0034】

最後に、図6（b）に示すように、フィールド上に残留されている無電解メッキ薬液を除去するために、第3洗浄W3を行う。

第3洗浄W3は純水洗浄でも十分であるが、より効果的な洗浄はキレート剤入りアルカリ薬液を用いた洗浄である。

#### 【0035】

次に、第2バリア層15を被覆して全面に、例えばCVD法により酸化シリコンなどの絶縁性材料を堆積させ、上層絶縁膜16を形成する。

以上で、図1に示すCuを用いて埋め込み金属配線を構成した半導体装置を製造することができる。

#### 【0036】

本実施形態の半導体装置の製造方法においては、無電解メッキによる第2バリア層の成膜において、Cu配線に対するダメージが抑制されている。

これは、Cuの埋め込み配線がPdよりイオン化傾向の小さいIr、Pt、Auなどの添加物を含有しており、Pdの触媒メッキ液に耐性を有しているためであり、この理由について以下に述べる。

#### 【0037】

Cu配線のダメージが顕著に見られるのは、Cu配線の結晶部ではなく、結晶と結晶の間である結晶粒界である。すなわち、Cu配線のダメージはCu配線の結晶粒界で発生している。これは、結晶粒界にはCu膜中に存在する酸素(O)や窒素(N)などの不純物が集まつてくるので、それらはCuとの結合が非常に弱く、簡単にそのボンドを切り離してしまい、結晶粒界に優先的にダメージが入りやすくなっているからである。

従って、Pd触媒メッキ液で結晶粒界にさえダメージを与えなければよいわけである。

このようにPd触媒メッキ液でエッチング(ダメージ)起因となるところは結晶粒界であることがわかっていることを考慮に入れ、本実施形態では結晶粒界を補強することを目的として、上述のように添加物を導入している。

#### 【0038】

Pd触媒メッキ液によるエッチングでは、硫酸または塩酸によるエッチングとPdとの置換によるエッチングの2つが広く用いられている。硫酸または塩酸によるエッチングでは、 $\text{CuSO}_4$ または $\text{CuCl}_2$ として、Pdとの置換によるエッチングでは、Pdのイオン化傾向はCuのそれより小さいため、Cuはイオン化、エッチングされ、逆にPdはCuのエッチングされたサイトに結合することになる。

さらに、腐食化学でポピュラーな孔食腐食現象が結晶粒界で起こり、結晶粒界で腐食が発生すると酸濃度が加速度的に上がり、腐食が大きく進む。

#### 【0039】

従って、Cu配線に対するダメージを抑制するためには、結晶粒界にエッティングされにくい材料を析出させることが最も重要である。エッティングされにくい材料としては、上記に示したようにイオン化傾向がキーポイントであり、触媒Pdよりもイオン化傾向の小さいものを結晶粒界に析出させることで解決することが可能である。

#### 【0040】

無電界めっきによるCo-W-P層をCu配線の上層のバリア層として適用するプロセスにおいて、本実施形態における触媒めっきプロセスでダメージを受け

ににくいCu配線、すなわち、Pdよりイオン化傾向の小さい材料の添加されたCu配線を配線部に適用することにより、Pd触媒めっきによるCu配線へのダメージが低減する。

本実施形態の製造方法においては、半導体装置のCu配線の上層にバリア層として無電界めっきによるCo-W-P層が有効に作用され、半導体装置に対して、以下に示すような大きなメリットを獲得することができる。

#### 【0041】

(1) Co-W-P層には、Cuに対する拡散バリア性を有するため、Cu配線上にCo-W-P層を成膜することにより、Cuはバリア性を有するメタルで被覆される。そのため、従来のCu配線プロセスで適用されているSiN, SiCなどの絶縁膜によるキャッププロセスが不要または薄膜化できる。SiN, SiCなどのバリア絶縁膜の誘電率は4～7と大きく、層間膜の実効誘電率を上げているのが実状であり、それらを省略または薄膜化することにより、層間膜の実効誘電率を低減することができる。実効誘電率の低減は、配線容量の低減、さらには配線遅延の低減につながり、半導体装置のより高速化が可能になる。

#### 【0042】

(2) Cu配線信頼性劣化の一つの要因として、Cuとバリア絶縁膜との界面におけるエレクトロマイグレーション(EM)による断線がある。これはCuと絶縁膜との密着性が弱いためである。

半導体デバイスの微細化および高速化に伴い、配線断面積は減少し、印加される電流密度は増加し、その増加に伴い配線の電流によるジュール発熱は増大する方向であるため、EM耐性はより厳しくなる。さらに、高速化に至っては、クロック周波数の高速化により、電流パスは配線の表面を流れるようになるため、ますます、EM耐性は厳しくなる。

本実施形態においては、Cu配線はメタルで覆われることになるため、EM耐性を劣化させるCu／絶縁膜の界面がなくなるので、EM耐性の向上が期待できる。

#### 【0043】

以下に、Cuの埋め込み配線にPdよりイオン化傾向の小さいIr、Pt、A

uなどの添加物を含有させる方法について説明する。

大きく分けて、(i) Cuのシード層13sに添加物を混入する方法と(ii) Cuの埋め込み導電層13を形成する電解メッキ処理で添加物を混入する方法がある。

#### 【0044】

(i) のCuのシード層13sに添加物を混入する方法について説明する。

Cuのシード層の成膜には、従来方法では、純Cuをターゲットとしてスパッタリングにて成膜する方法が広く用いられており、LSIの微細化に伴い、微細部でもカバレッジが良好なSIS (self ionized sputtering) やSIP (self ionized plasma) などが用いられている。また、さらに微細化が進むと、スパッタリングでは幾何学的にカバレッジの限界が来るため、hfac (tms) などの材料を用いたCVD法による成膜も実施されている。

#### 【0045】

(i-1) ターゲットであるCuに添加物を混ぜておく方法

Cuのシード層13sに添加物を混入するため、ターゲットであるCuに添加物を混ぜておくことで、添加物の混入されたCuターゲットをスパッタリング法にて成膜し、Cuシード層として用いる。

ターゲットへの添加物の混入量は、0.1%以上を必要とする。上限に関しては、適用されたデバイスの配線抵抗値のスペックにもよるが、一般的には10%以下である。

#### 【0046】

(i-2) Cuと添加物を別々に成膜して積層させる方法

Cuのシード層13sに添加物を混入するため、Cuと添加物を交互に成膜する。

成膜後のシード層にはCu層と添加物層が交互に層をなしている。その層数に関しては任意であるが、シード層膜厚が100nm以下であり、Cuのスパッタリングのコントローラビリティーが10nm程度であるとすると、Cu層と添加物層を1レイヤーと考えた場合、10レイヤー程度が最大層数となる。1レイヤー

ー中のCu層と添加物層の膜厚比（Cu層膜厚／添加物層膜厚）に関しては、最大で10程度であり、これらはデバイスの配線抵抗スペックで決定される。

#### 【0047】

(i-3) Cuと添加物を別々に成膜してCuと添加物が混在した状態で堆積させる方法

Cuのシード層13sに添加物を混入するため、Cuと添加物を別々に成膜するが、それらは層状ではなく、いわゆるco-sputtering法で成膜する。

co-sputtering法とは同時にCuと添加物を成膜する方法であり、シード層は層状になっておらず、Cuと添加物が混在した状態になっている。添加物の混入量は0.1%以上である。ここで注意しなければならないのは、Cuおよび添加物のスパッタリング速度である。膜厚の制御はスパッタリングレートで制御することになるので、添加物のスパッタリング速度をCuのスパッタリング速度の1/1000（最小）にする必要がある。

#### 【0048】

CVD法によるシード層の場合、(i-2)の成膜方法のように積層させて成膜するにはCuと添加物を交互に成膜すればよいので、同様な方法で形成が可能である。

(i-1) の方法と同様な形態にするには、CVD法によるCu成膜時に添加物を含んだ有機系ガス原料を混ぜればよい。

(i-3) の方法に関しては、スパッタリング圧力とCVD圧力の違いおよび成膜のガス系の違いがあり、非常に困難ではあるが、CVDのガス圧およびスパッタリングガス圧の最適化、CVDのキャリアガスとしてArを使用して、そのArにてスパッタリングを行うことによって、不可能ではない。

#### 【0049】

次に、(i-i) Cuの埋め込み導電層13を形成する電解メッキ処理で添加物を混入する方法について説明する。

Cuの埋め込み導電層13に添加物を混入させるためには、電解メッキ成膜中に添加物を混入させる必要がある。添加物の混入方法としては、電解メッキ液の

主成分、例えば、硫酸系ならば硫酸（添加物）<sub>x</sub>のような形態で導入する。

電解メッキ液の主成分に溶解しない添加物の場合、添加物を錯体化して混入させる方法がある。錯体化に関しては、添加物をキレート化させるキレート剤を使用すればよく、例としては、クエン酸系、カルボン酸系、酒石酸系、ホスホン酸系などがあげられる。

その添加量に関しては、0.01%以上が望ましく、その上限に関しては、適用デバイスの抵抗値スペックにもよるが、10%以下が望ましい。

#### 【0050】

以上のようにして、配線Cu膜中へ添加物を混入することができる。

添加物を混入する上記方法は単独で実施してもよいが、併用して実施しても何ら問題はない。例えば、(i-1)に示すシード層への添加物混入方法と、(ii)の電解メッキでの混入実施例を併用することは特に問題とならない。ただし、併用することにより、添加物の濃度が変わるので、それらは適用デバイスの抵抗値スペックを考慮して、最適化する必要がある。

#### 【0051】

Cu配線への添加物導入は上記のようなプロセスを実施するが、Cu配線中に添加物を混入させただけでは効果が乏しく、本発明の効果を引き出すためには、添加物混入後に熱処理をすることが好ましい。

熱処理条件としては、例えば、熱処理温度：450℃以下、熱処理時間：1分以上、熱処理雰囲気：真空中、窒素中、水素中、不活性ガス中、熱処理方法：熱拡散炉、ホットプレート、RTA（r a p i d t h e r m a l a n n e a l i n g）、とする。

推奨する条件は、熱処理温度：150～250℃、熱処理時間：1～2時間、熱処理雰囲気：不活性ガス中または窒素ガス中、熱処理方法：熱拡散炉またはホットプレート、である。

#### 【0052】

また、さらに効果を引き出す技術として、熱処理後の急冷方法がある。急冷速度は50℃／秒以下が望ましい。

急冷方法の例としては、ホットプレートによる熱処理終了後、ホットプレート

を水冷冷却、熱処理を終えたウエハ表面へ気化されたドライアイス ( $\text{CO}_2$ ) をノズル噴射させる、などがある。このような熱処理および熱処理後の後処理により、添加物は Cu の結晶粒界に偏析され、Pd触媒メッキ液に対する結晶粒界の強化作用を及ぼす。

熱処理のタイミングであるが、電解メッキ Cu 成膜後、または CMP 法または電解研磨による配線部形成後に実施することが望ましい。

#### 【0053】

その他、プロセス工数が増えることになるが、以下の工程をさらに行うことも好ましい。

(A) 図3 (b) に示す電解メッキによる Cu の埋め込み後、その上層にスパッタリング法、蒸着法などにより添加物層または添加物の混入された Cu 層を成膜し、熱処理を行う方法。

#### 【0054】

(B) 図3 (b) に示す電解メッキによる Cu の埋め込み後、添加物をイオン注入装置にてイオン打ち込みし、その後、熱処理を行う方法。

#### 【0055】

(C) 図4 (a) に示す CMP 法または電解研磨による平坦化および配線形成後、その上層にスパッタ法、蒸着法などにより、添加物層または添加物の混入された Cu 層を成膜し、熱処理を施し、最後に CMP 法にてフィールド上に添加物および Cu が残留しないように研磨を行う方法。

この方法において、注意が必要なのは、図4 (a) に示す工程における配線形成時において、Cu の下地である第1バリア層 12 は研磨せずに残しておく必要がある。なぜならば、その上層に成膜された添加物または添加物の混入された Cu が拡散してしまうからである。

#### 【0056】

(D) 図4 (a) に示す CMP 法または電解研磨による平坦化および配線形成後、添加物をイオン注入装置にてイオン打ち込みし、熱処理を施し、最後に CMP 法にてフィールド上に添加物イオンが残留しないように研磨を行う方法。

この方法において、フィールド上にも添加物イオンが注入されるため、添加物

イオンの進入深さまで最後のCMP法にて研磨する必要がある。イオン注入エネルギーで規定される注入深さ量と層間膜の必要とされる膜厚の最適化が必要である。

### 【0057】

上記の本実施形態に係る半導体装置の製造方法と、その製造方法による製造された半導体装置によれば、以下のような効果が得られる。

- (1) Cu配線上部に被覆メタルを形成することにより、従来技術で必須であった誘電率の高いSiN、SiCなどのバリア絶縁膜が薄くまたは不要となる。
- (2) 誘電率の高いSiN、SiCなどが薄くまたは不要になるため、半導体の層間絶縁膜の実効的な誘電率が減少し、配線容量も同時に減少する。したがって、配線速度の向上が期待できる。
- (3) 誘電率の高いSiN、SiCなどが薄くまたは不要になるため、半導体の層間絶縁膜の積層種類および積層段数が減少することになる。そのため、層間絶縁膜へのホールおよびトレチ加工が容易になり、安定した加工プロセスが適用できる。安定した加工プロセスは半導体の歩留まり向上につながる。
- (4) Cu配線と絶縁膜との界面の密着性は弱いため、エレクトロマイグレーション(EM)を誘起させる基点となり、EM耐性を劣化させる。Cu配線上に被覆メタルを適用することにより、Cu配線と絶縁膜との界面が存在しなくなるので、EM耐性の向上が期待できる。
- (5) バリア絶縁膜SiN、SiCなどは圧縮応力の高い膜であり、ストレスマイグレーション(SM)、EM耐性を劣化させる要因である。それらバリア絶縁膜は薄くまたは不要であるため、SM、EM耐性の向上が期待できる。
- (6) Pd置換メッキ液による配線Cuへのダメージが低減されるため、実効配線体積がレイアウトどおりに維持され、駆動電圧印加時の電流密度は設計どおりに維持されるので予測された配線信頼性を確保することができる。
- (7) Pd置換メッキ液による配線Cuへのダメージが低減されるため、配線抵抗の上昇がなく、設計仕様の配線遅延時間が達成できる。
- (8) Pd置換メッキ液による配線Cuへの表面アタックが低減され、Cuの表面モフォロジーがCMP法または電解研磨後と同等のスムーズな状態に維持され

るため、界面拡散によるEM不良が軽減される。

(9) 添加物の偏析により、Cu配線の結晶粒界は強化されるので、EMパスである粒界拡散は抑止され、粒界拡散の活性化エネルギーは大きくなり、さらなるEM耐性および配線信頼性の向上が見込まれる。

### 【0058】

本発明は上記の実施の形態に限定されない。

例えば、第2バリア層の上層に、塗化シリコンなどからなるバリア絶縁膜をさらに形成してもよい。

例えば、上層の配線および接続孔形成におけるリソグラフィー工程におけるコントローラビリティがなく、リソグラフィー工程で、アライメントずれでレイアウトどおりにリソグラフィーができず、合わせずれが発生し、接続孔が配線部より外れて形成された場合、次の配線溝および孔加工の際、配線部ではエッチングがストップするが、バリア絶縁膜のないフィールドではエッチングが進み、孔の形状不良となってしまう。孔の形状不良は、次のメタル成膜において、埋め込み不良の原因となり、配線部のボイド形成、酷い時にはバリアメタルのカバレッジ不足によるCuのバリア性破れが発生し、デバイスに大きな被害をもたらすことになる。しかし、バリア絶縁膜を設けることにより、このような問題を回避できる。

また、エッチングプロセスにおいてコントローラビリティがない場合にも有効である。アライメントずれ時のエッチング加工で、精度良く配線部とフィールド部が同一平面でエッチングストップすることが非常に困難であるが、バリア絶縁膜を設けることにより、この問題が解消する。

また、実施形態の図面上はシングルダマシン法について説明しているが、デュアルダマシン法、即ち、配線用溝の底面にさらに半導体基板などに達するコンタクトホールが設けられている構成とし、配線用溝およびコンタクトホールを配線材料で埋め込み形成することも可能である。

その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

### 【0059】

#### 【発明の効果】

本発明の半導体装置の製造方法によれば、Cuなどの配線を有する半導体装置の製造方法であって、Co系材料などを無電解メッキ処理するときに行われる触媒プロセスにおける配線へのダメージを抑制することができる。

### 【0060】

また、本発明の半導体装置は、本発明の製造方法により製造され、製造工程におけるCo系材料などを無電解メッキ処理するときに行われる触媒プロセスにおける配線へのダメージを抑制することができる。

### 【図面の簡単な説明】

#### 【図1】

図1は本発明の実施形態に係る半導体装置の断面図である。

#### 【図2】

図2 (a) および (b) は本発明の実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

#### 【図3】

図3 (a) および (b) は本発明の実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

#### 【図4】

図4 (a) および (b) は本発明の実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

#### 【図5】

図5 (a) および (b) は本発明の実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

#### 【図6】

図6 (a) および (b) は本発明の実施形態に係る半導体装置の製造方法の製造工程を示す断面図である。

#### 【図7】

図7は従来例に係る半導体装置の断面図である。

#### 【図8】

図8 (a) および (b) は従来例に係る半導体装置の製造方法の製造工程を示

す断面図である。

【図9】

図9 (a) および (b) は従来例に係る半導体装置の製造方法の製造工程を示す断面図である。

【図10】

図10は従来例の触媒プロセス（置換メッキ）における問題点を説明するための模式図である。

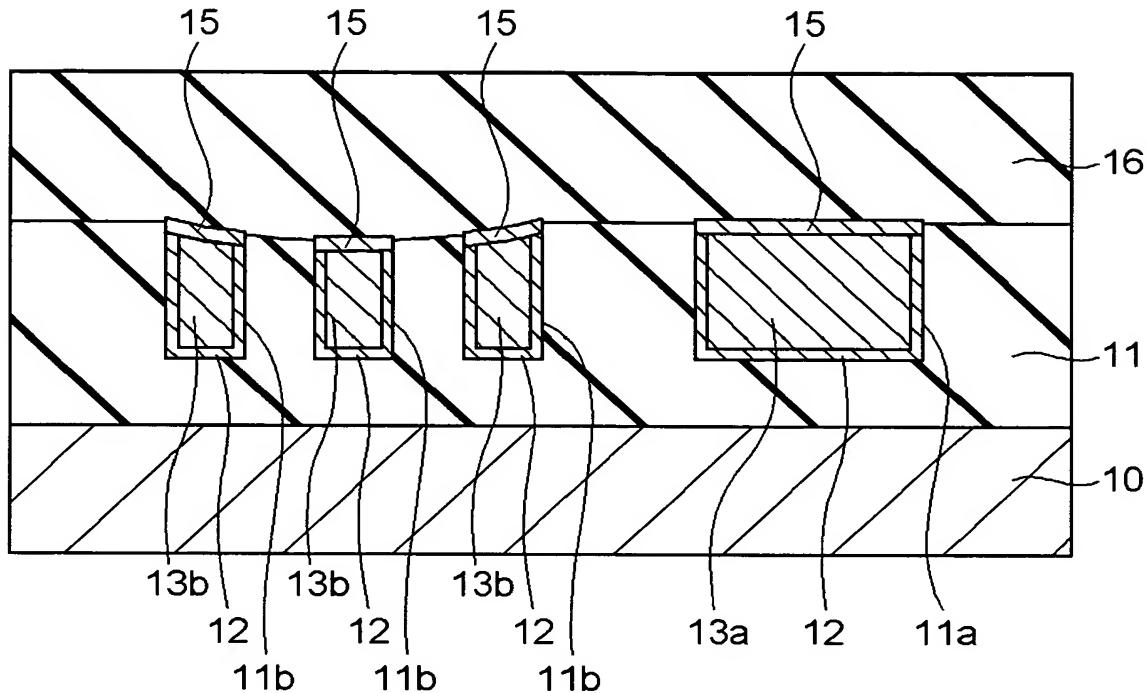
【符号の説明】

1 0…基板、 1 1…層間絶縁膜、 1 1 a, 1 1 b…溝、 1 2…第1バリア層、  
1 3…埋め込み導電層、 1 3 a, 1 3 b…埋め込み配線、 1 3 s…シード層、 1  
4…触媒、 1 5…第2バリア層、 1 6…上層絶縁膜、 1 0 0…基板、 1 0 1…層  
間絶縁膜、 1 0 1 a, 1 0 1 b…溝、 1 0 2…バリア層、 1 0 3…埋め込み導電  
層、 1 0 3 a, 1 0 3 b…埋め込み配線、 1 0 3 c…結晶粒界、 1 0 4…バリア  
絶縁膜、 1 0 5…上層絶縁膜、 W 1…第1洗浄、 W 2…第2洗浄、 W 3…第3洗  
浄。

【書類名】

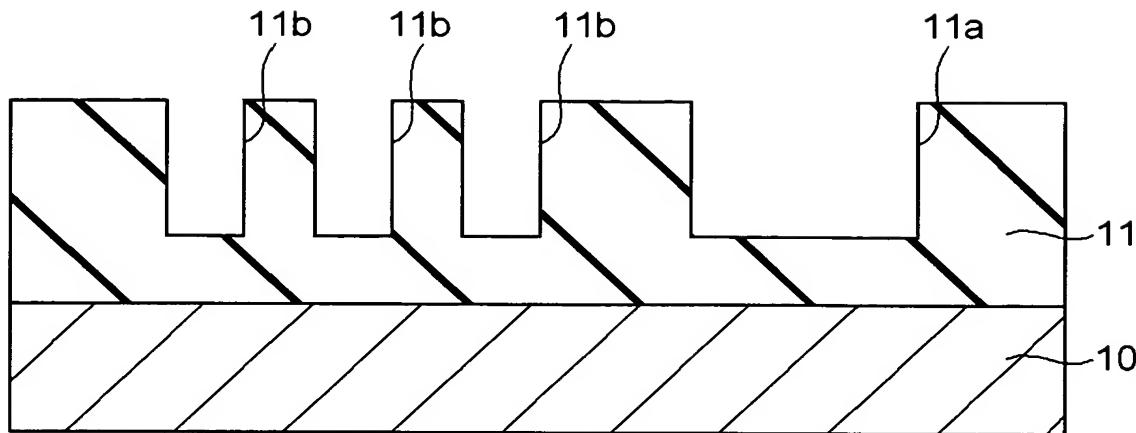
図面

【図 1】

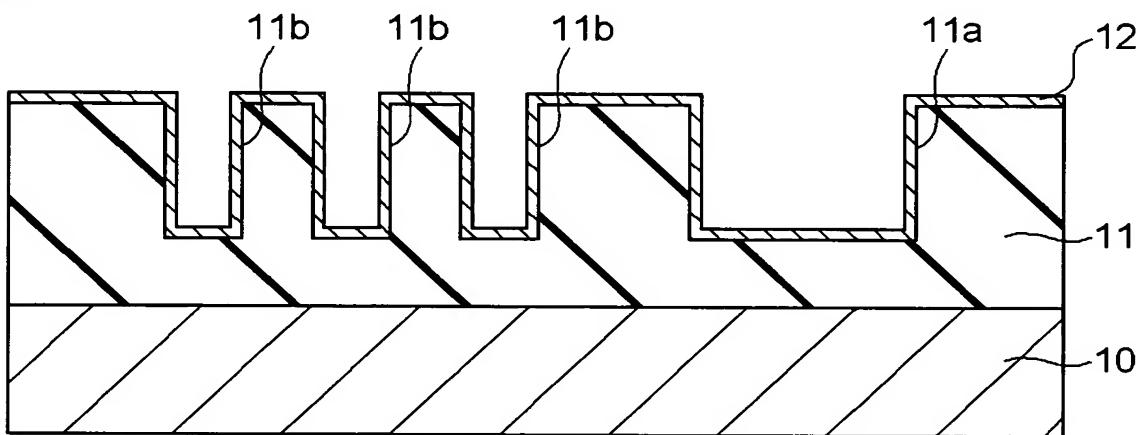


【図 2】

(a)

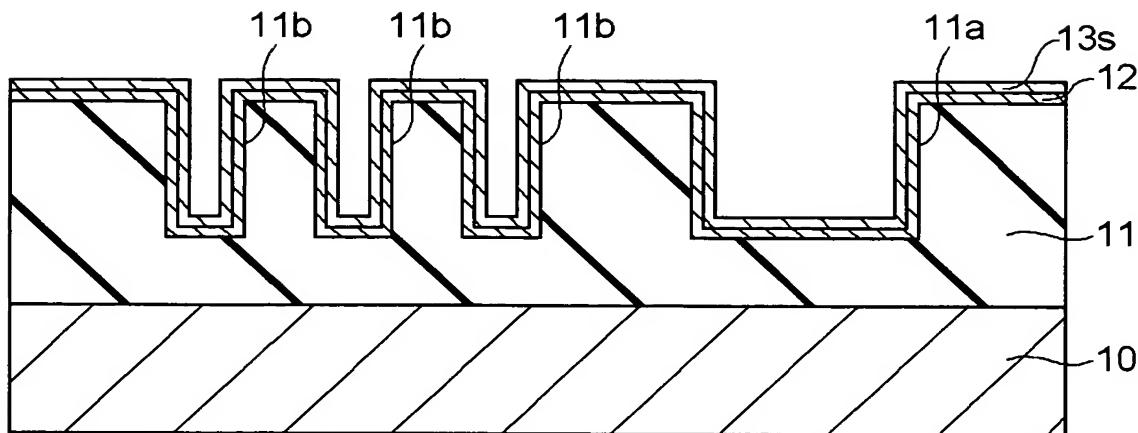


(b)

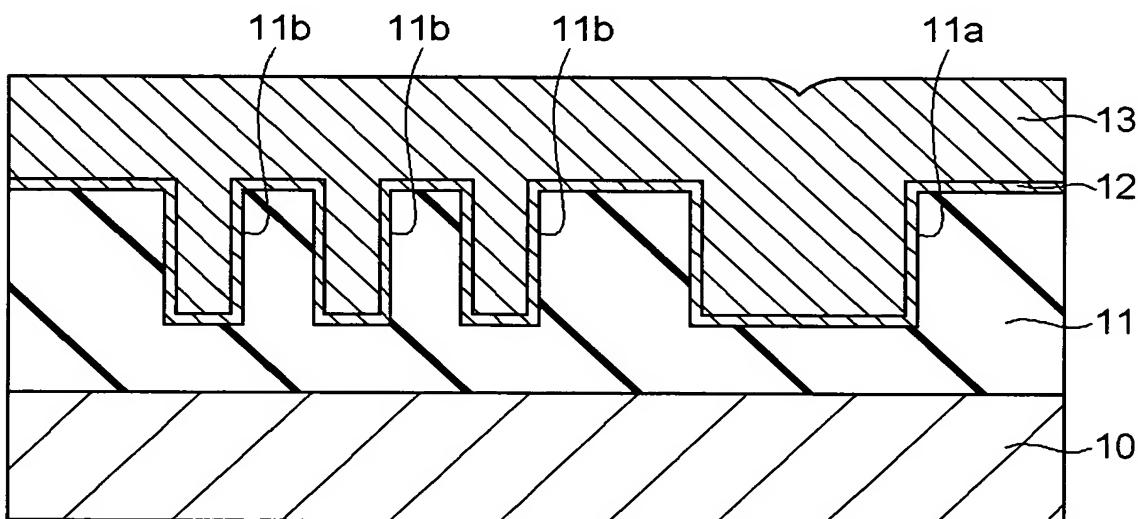


【図3】

(a)

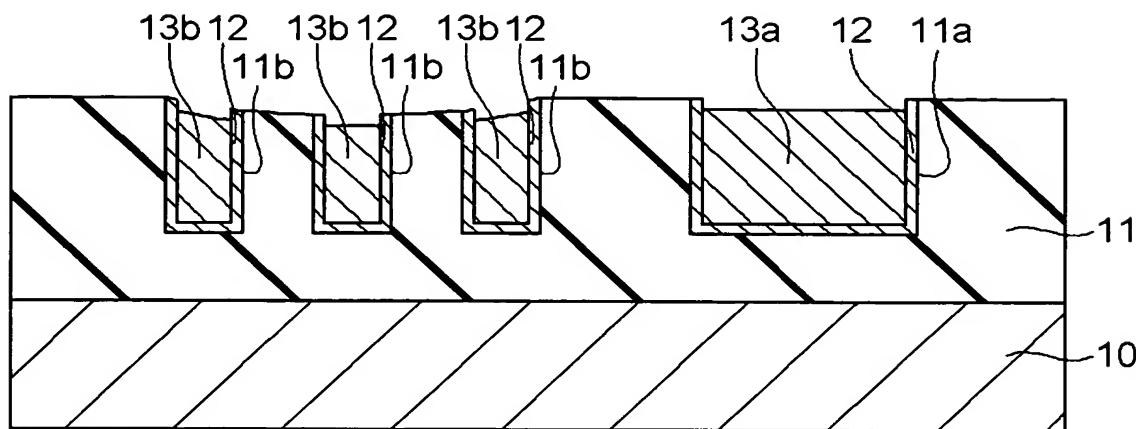


(b)

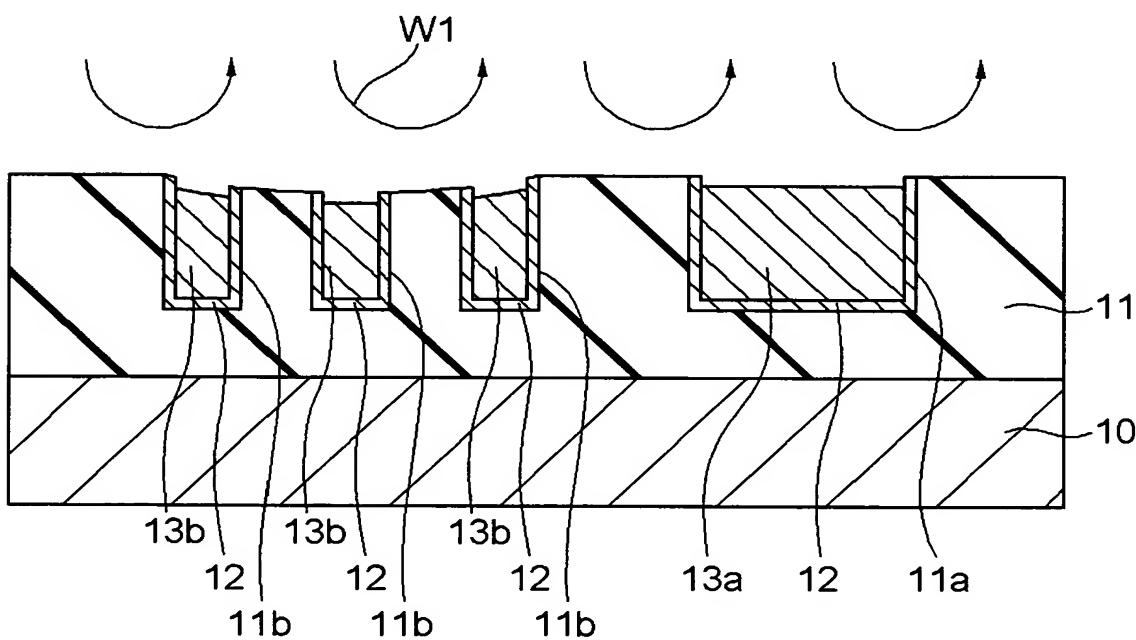


【図4】

(a)

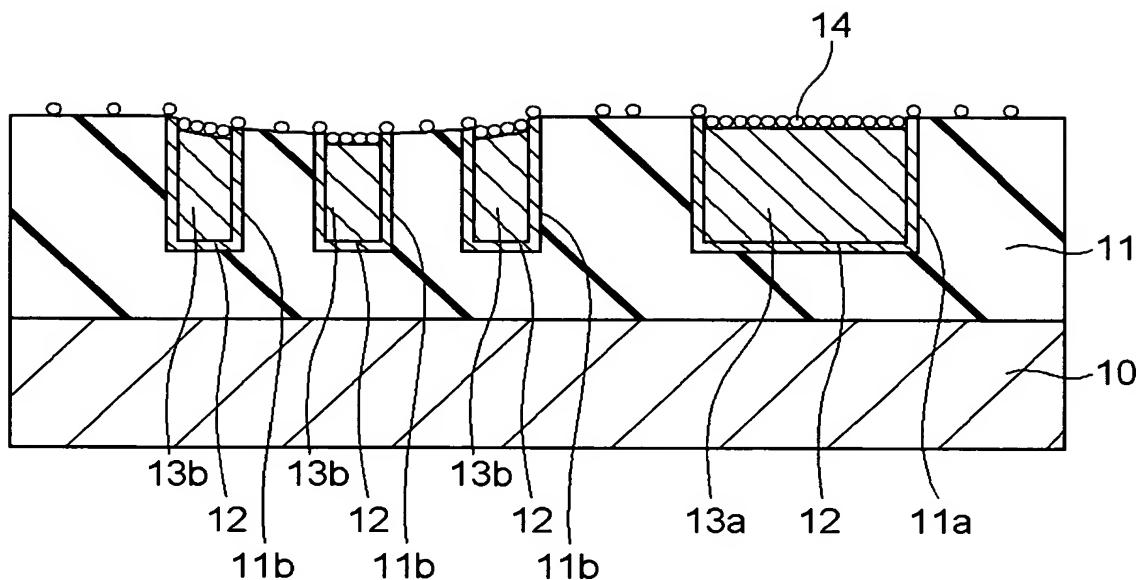


(b)

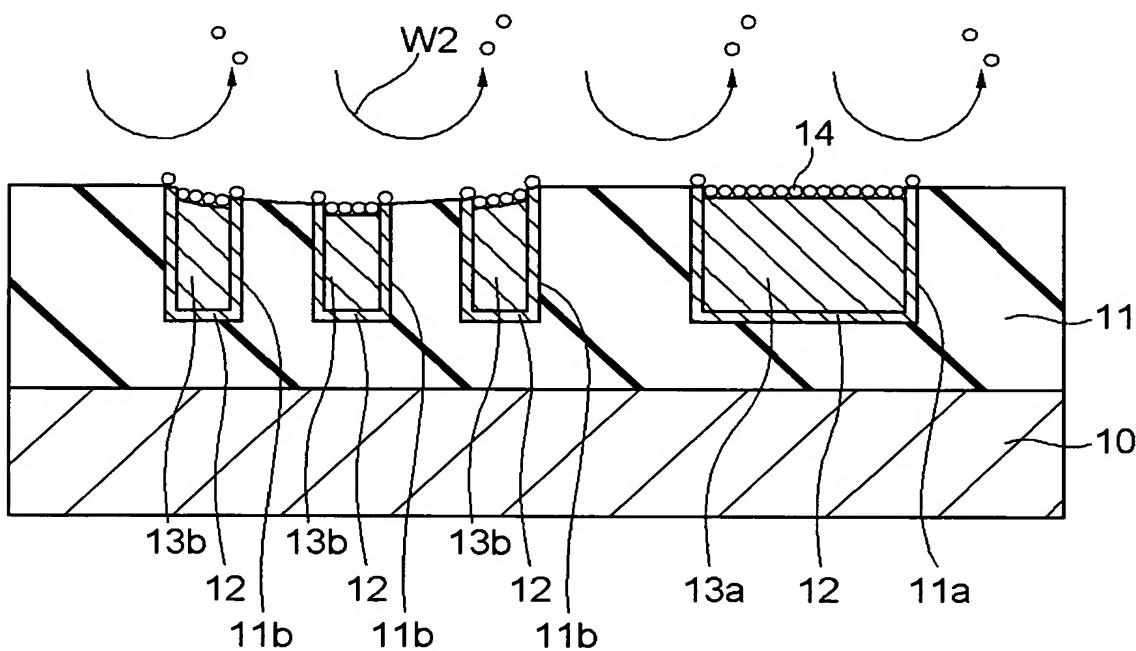


【図5】

(a)

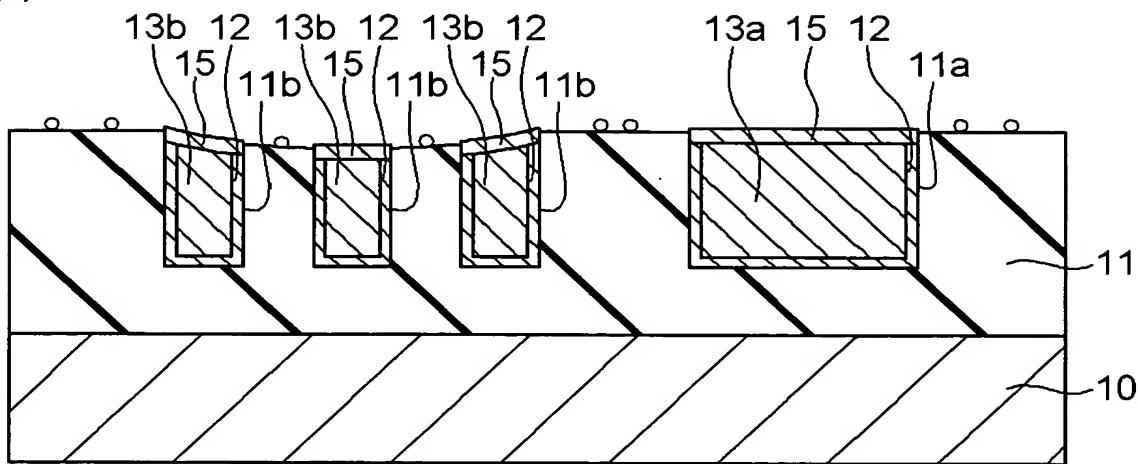


(b)

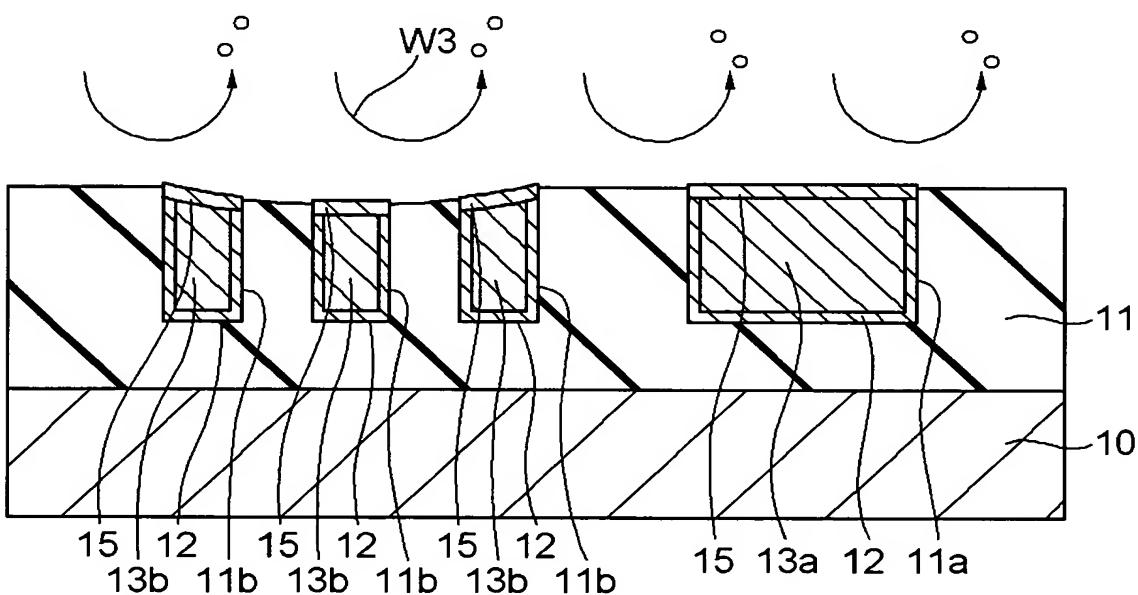


【図6】

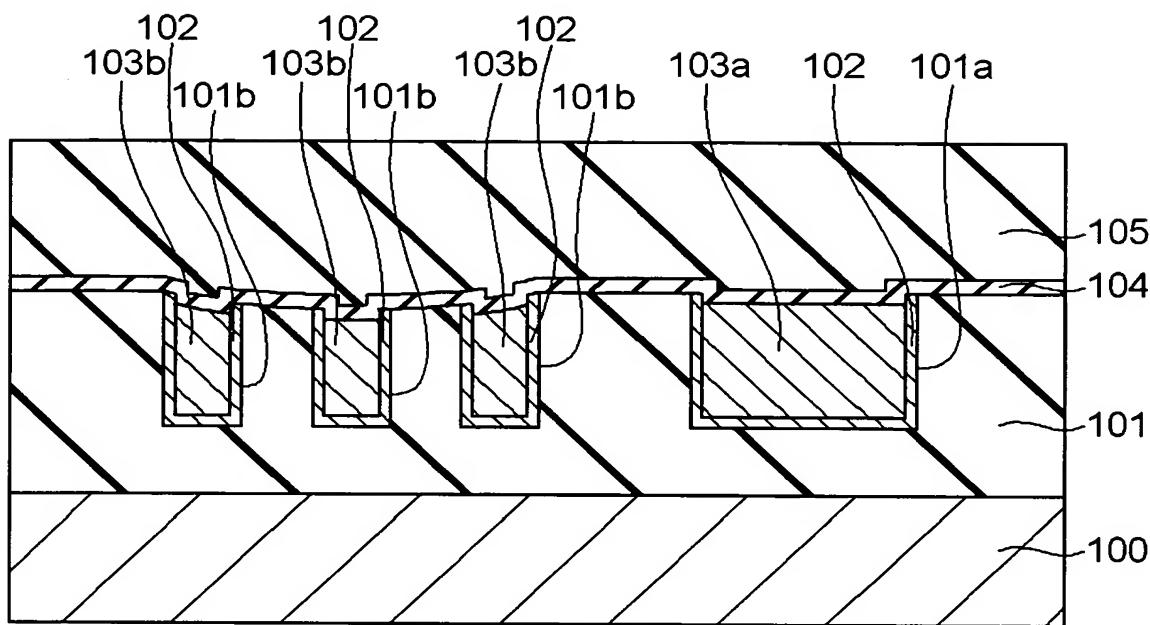
(a)



(b)

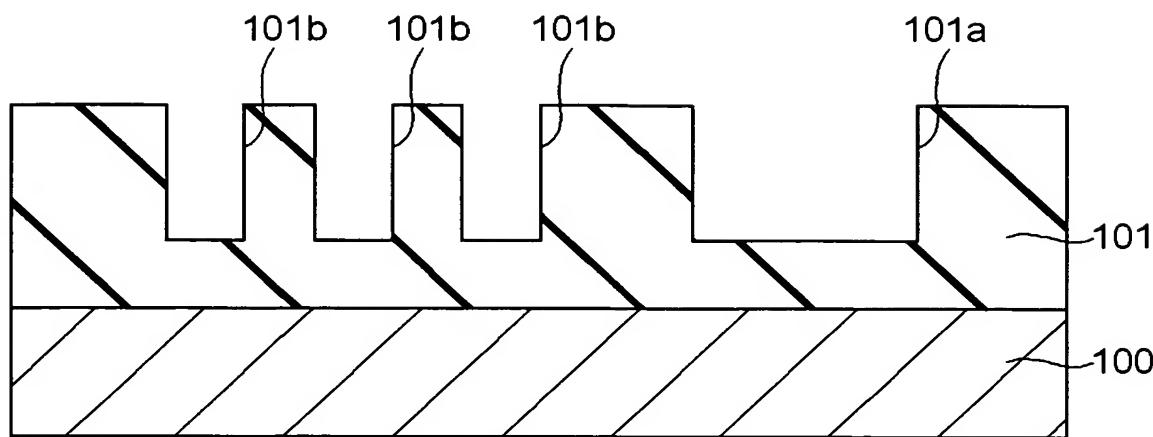


【図7】

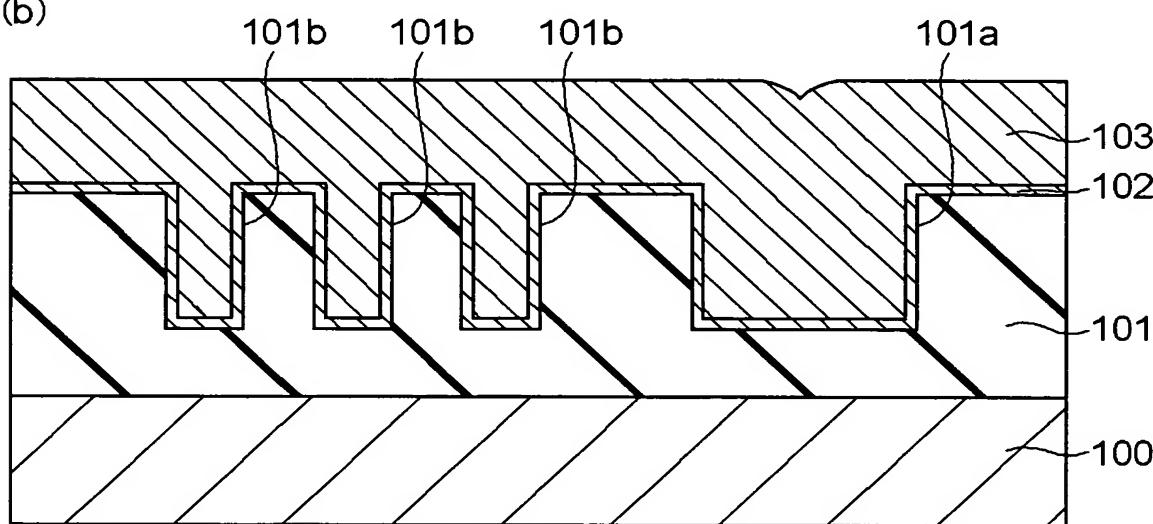


【図 8】

(a)

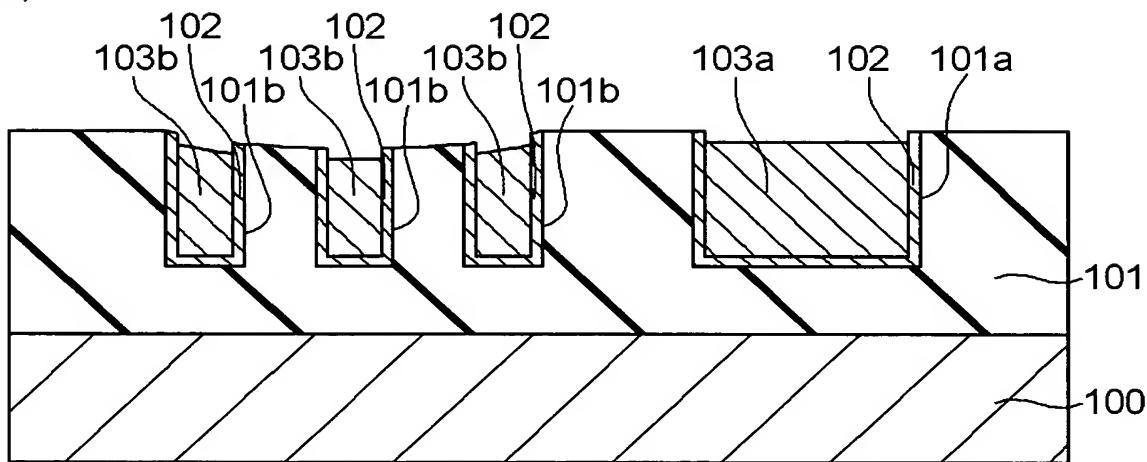


(b)

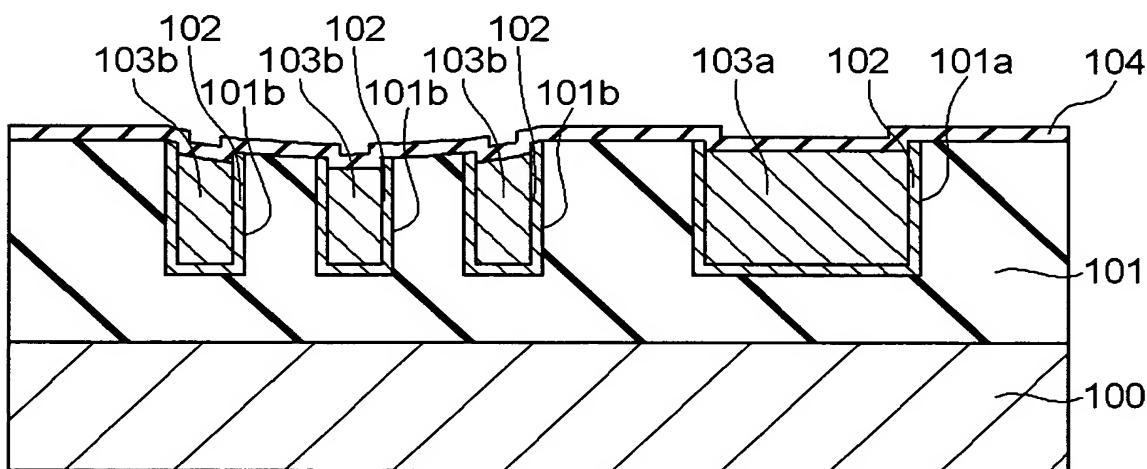


【図9】

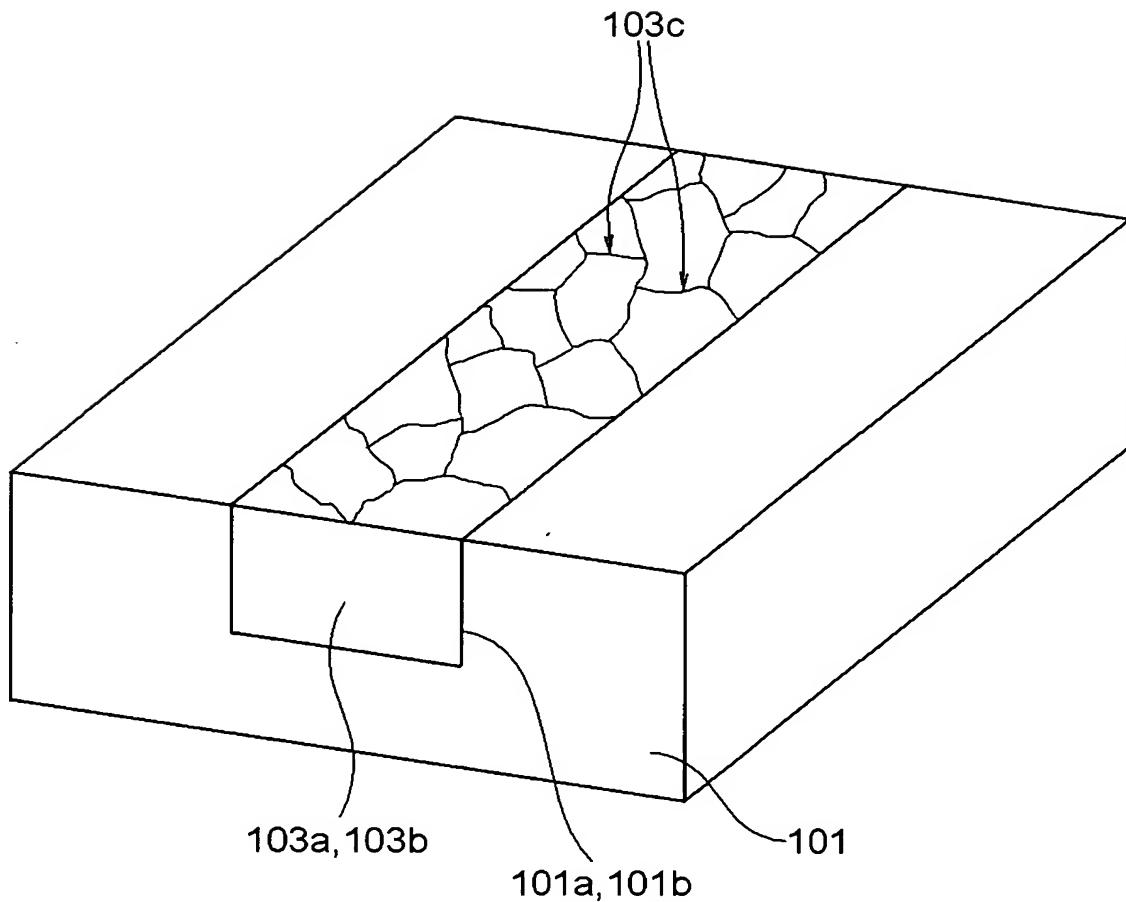
(a)



(b)



【図10】



【書類名】 要約書

【要約】

【課題】 Cuなどの配線を有する半導体装置の製造においてCo系材料などの無電解メッキ処理において行われる触媒プロセスでの配線へのダメージを抑制できる半導体装置の製造方法とその方法により製造された半導体装置を提供する。

【解決手段】 金属配線を有する半導体装置の製造方法であって、半導体基板10に形成された第1絶縁膜11の上層に金属配線（13a, 13b）を形成し、金属配線（13a, 13b）の上層に金属配線（13a, 13b）の構成元素の拡散を防止するバリア層15を形成し、バリア層15の上層に第2絶縁膜16を形成する。ここで、金属配線（13a, 13b）を形成する工程において、バリア層15を形成するときに金属配線に与えられるダメージを低減する添加物を金属配線（13a, 13b）に含有させて形成する。

【選択図】 図1

特願2002-299417

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住所 東京都品川区北品川6丁目7番35号  
氏名 ソニー株式会社